

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

jc586 U.S. PTO
09/583171
05/30/00


別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1999年 6月 1日

出願番号
Application Number: 平成11年特許願第154044号

出願人
Applicant(s): 株式会社村田製作所

2000年 3月 17日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦

出証番号 出証特2000-3017721

【書類名】 特許願

【整理番号】 28-1137

【提出日】 平成11年 6月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01P 9/00

H01P 3/08

【発明者】

【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社村
田製作所内

【氏名】 鶴 輝久

【発明者】

【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社村
田製作所内

【氏名】 松本 充弘

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡市天神二丁目26番10号

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【電話番号】 075-955-6731

【手数料の表示】

【予納台帳番号】 005304

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書
 【発明の名称】 ディレイライン
 【特許請求の範囲】

【請求項1】 誘電体基板の一方主面に伝送線路を設け、他方主面に接地導体を設けて構成したディレイラインであって、

前記誘電体基板に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とするディレイライン。

【請求項2】 複数の誘電体層が積層された積層体と、該積層体内に埋設された伝送線路と、該伝送線路及び前記誘電体層を介して相対するように設けられた複数の接地導体とを備えたディレイラインであって、

前記積層体に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とするディレイライン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータや計測器等において信号伝達を遅延させるために用いるディレイラインに関し、特に、遅延時間の調整が可能なディレイラインに関する。

【0002】

【従来の技術】

図9は、ディレイラインの従来例の正面図である。ディレイライン80は、誘電体基板81の一方主面にミアンダ状に折り曲げて蛇行させた信号線路用の伝送線路82が、誘電体基板81の他方主面のほぼ全面に接地導体（図示せず）がそれぞれ形成され、伝送線路82の両端に入力端子83、出力端子84がそれぞれ接続された構成のものである。そして、伝送線路82の全長によって、入力端子83と出力端子84との間の遅延時間が決まる。このため、遅延時間によっては、図9のように、ミアンダ状の伝送線路82の途中に中間タップ用端子85を設け、この中間タップ用端子85を例えば出力端子として用いることにより、遅延時間を変更するようにしている。なお、中間タップ用端子85は、伝送線路82

への接続位置を変え得るようになっており、その位置を変更することによっても遅延時間を調整できる。

【0003】

【発明が解決しようとする課題】

ところが、上記従来のディレイラインのように、遅延時間によって出力端子の位置が異なるため、プリント基板などへ実装した後は遅延時間の調整が不可能であるといった問題がある。

【0004】

また、3つの端子のうち1つは不使用状態となり、その使用しない端子が容量を形成したり、あるいはスタブとして働いて信号の反射が起こったりする不具合が生じるといった問題もある。

【0005】

さらに、図9のように伝送線路がミアンダ状の場合には、中間タップ用端子はミアンダ状の伝送線路の下側の湾曲部にしか接続できず、その結果、連続的に遅延時間を調整できないといった問題もある。

【0006】

本発明は、このような問題点を解決するためになされたものであり、実装後であっても遅延時間の調整ができ、かつ連続的に遅延時間を調整できるディレイラインを提供することを目的とする。

【0007】

【課題を解決するための手段】

上述する問題点を解決するため本発明は、誘電体基板の一方主面に伝送線路を設け、他方主面に接地導体を設けて構成したディレイラインであって、前記誘電体基板に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とする。

【0008】

また、複数の誘電体層が積層された積層体と、該積層体内に埋設された伝送線路と、該伝送線路及び前記誘電体層を介して相対するように設けられた複数の接地導体とを備えたディレイラインであって、前記積層体に、前記伝送線路に並列

接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とする。

【0009】

本発明のディレイラインによれば、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けるため、可変容量コンデンサやダイオードの容量を変化させることにより、プリント基板への実装後であっても遅延時間を連続的に調整できる。

【0010】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1は、本発明のディレイラインに係る第1の実施例の（a）上面図及び（b）断面図である。ディレイライン10は、誘電体基板11を備え、誘電体基板11の一方主面にはミアンダ状に折り曲げて蛇行させた信号線路用の伝送線路12が、誘電体基板11の裏面にはほぼ全面に接地導体13がそれぞれ形成される。

【0011】

そして、伝送線路12と並列に可変容量コンデンサであるトリマコンデンサ14が接続される。また、伝送線路12の両端には入力端子15、出力端子16が、接地導体13にはグランド端子17、18がそれぞれ接続される。

【0012】

図2は、図1のディレイラインの等価回路図である。ディレイライン10は、入力端子15と出力端子16との間に、伝送線路12と接地導体13とで形成されるマイクロストリップラインのインダクタンス成分Lとトリマコンデンサ14の容量成分Cとが並列に接続されたものとなる。

【0013】

そして、通過特性において、 $1 / (2\pi(L \cdot C)^{1/2})$ で求められる周波数に減衰極が発生する。この減衰極により、伝送線路12を通過する高周波信号に位相変化が生じ、その結果、ディレイライン10の遅延時間が周波数に応じて変化することとなる。

【0014】

図3は、図1のディレイライン10の通過特性及び遅延時間の周波数依存性を示す図である。図3において、実線は通過特性、破線は遅延時間を示す。なお、伝送線路12のインダクタンス成分Lは20 (nH)、トリマコンデンサ14の容量Cは0.5 (pF) である。

【0015】

この図から、通過特性において、 $1/(2\pi(L \cdot C)^{1/2})$ で求められる周波数である1.6 (GHz) 付近に減衰極が生じ、その減衰極の影響で遅延時間が大きく変化していることが解る。

【0016】

図4は、図1のディレイライン10の遅延時間の変化を示す図である。図4において、横軸はトリマコンデンサ14の容量、縦軸がディレイライン10の遅延時間を示す。また、実線は1.5 GHzにおける変化、破線は1.7 GHzにおける変化である。

【0017】

この図から、トリマコンデンサ14の容量を調整することにより、ディレイライン10の遅延時間を調整することが可能となることは解る。これは、トリマコンデンサ14の容量を変化させることにより、 $1/(2\pi(L \cdot C)^{1/2})$ で求められる通過特性における減衰極の発生する周波数が変化するためである。

【0018】

上述の第1の実施例のディレイラインによれば、伝送線路と並列に可変容量コンデンサが接続されるため、トリマコンデンサの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0019】

図5は、本発明のディレイラインに係る第2の実施例の分解斜視図である。ディレイライン20は、酸化バリウム、酸化アルミニウム、シリカを主成分とする誘電体セラミックス (比誘電率 ϵ_r : 約6.0) からなる矩形状の誘電体層21 1～215を順次積層し、圧着した後、800～1000°Cで一体焼成すること

により得られる直方体状の積層体21を備える。積層体21の側面と上下面部分には入力端子22、出力端子23及び2つのグランド端子24、25が形成される。

【0020】

誘電体層211、213の上面には、略矩形状の接地導体261、262が形成される。また、誘電体層212の上面には、略ミアンダ状の伝送線路27が形成される。さらに、誘電体層214、215の上面には、略矩形状のコンデンサ電極281、282が形成される。

【0021】

この際、誘電体層212の上面に形成された伝送線路27の両端、及び誘電体層211、213の上面に形成された接地導体261、262の一部は、積層体21の側面に引き出され、入力端子22、出力端子23及びグランド端子24、25にそれぞれ接続される。

【0022】

また、誘電体層212の上面の伝送線路27の一端と誘電体層214の上面のコンデンサ電極281とは、誘電体層213、214を貫通するように設けられたビアホール導体291により接続される。

【0023】

さらに、誘電体層212の上面の伝送線路27の他端と誘電体層215の上面のコンデンサ電極282とは、誘電体層213～215を貫通するように設けられたビアホール導体292により接続される。

【0024】

このような構成により、ディレイライン20は、入力端子22と出力端子23との間に、伝送線路27と接地導体261、262とで形成されるストリップラインのインダクタンス成分Lとコンデンサ電極281、282で形成される可変容量コンデンサ28の容量成分Cとが並列接続されたものになる。

【0025】

この際、ディレイライン20の等価回路は、ディレイライン10の等価回路である図2と同様の回路構成となる。

【0026】

なお、積層体21の側面と上下面部分に形成される入力端子22、出力端子23及びグランド端子24、25は、印刷された導電ペーストを積層体21と同時焼成するか、積層体21を焼成した後に焼付けるかによって形成される。

【0027】

そして、積層体21の上面に形成されたコンデンサ電極282をレーザなどでトリミングすることにより、可変容量コンデンサ28の容量を連続的に変え、第1の実施例のディレイライン10(図1)と同様に、ディレイライン20の遅延時間を連続的に変えられるようになる。

【0028】

図6は、図5のディレイラインの変形例の断面図である。ディレイライン20aは、図5のディレイライン20と比較して、接地導体261a、262a及び伝送線路27aが内部に形成された積層体21aの上面に、コンデンサ電極281、282で形成される可変容量コンデンサ28(図5)に変えて、トリマコンデンサ28aを搭載する点で異なる。

【0029】

この際、伝送線路27aとトリマコンデンサ28aとは、積層体21aの内部に設けられたビアホール導体291a、292aで接続される。

【0030】

上述の第2の実施例のディレイラインによれば、伝送線路と並列に可変容量コンデンサが接続されるため、トリマコンデンサの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0031】

また、伝送線路を複数の誘電体層が積層された積層体に内部に形成するため、伝送線路と可変容量コンデンサとの配線も積層体の内部に形成することができる。したがって、これらの配線による損失が抑えられるため、より特性の優れたディレイラインを得ることが可能になる。

【0032】

図7は、本発明のディレイラインに係る第3の実施例の分解斜視図ある。ディレイライン30は、酸化バリウム、酸化アルミニウム、シリカを主成分とする誘電体セラミックス（比誘電率 ϵ_r ：約6.0）からなる矩形状の誘電体層311～314を順次積層し、圧着した後、800～1000°Cで一体焼成することにより得られる直方体状の積層体31を備える。

【0033】

積層体31の上面にはバリキャップダイオード32が搭載され、積層体31の側面と上下面部分には入力端子33、出力端子34及び2つのグランド端子35, 36が形成される。

【0034】

誘電体層311, 313の上面には、略矩形状の接地導体371, 372が形成される。また、誘電体層312の上面には、略ミアンダ状の伝送線路38が形成される。

【0035】

この際、誘電体層312の上面に形成された伝送線路38の両端、及び誘電体層311, 313の上面に形成された接地導体371, 372の一部は、積層体31の側面に引き出され、入力端子33、出力端子34及びグランド端子35, 36にそれぞれ接続される。

【0036】

また、誘電体層312の上面の伝送線路38の一端と積層体31に搭載されるバリキャップダイオード32の一端とは、誘電体層313, 314を貫通するよう設けられたビアホール導体391により接続される。

【0037】

さらに、誘電体層312の上面の伝送線路38の他端と積層体31に搭載されるバリキャップダイオード32の他端とは、誘電体層313, 314を貫通するよう設けられたビアホール導体392により接続される。

【0038】

このような構成により、ディレイライン30は、入力端子33と出力端子34

との間に、伝送線路38と接地導体371, 372とで形成されるストリップラインのインダクタンス成分Lとバリキャップダイオード32の容量成分Cとが並列接続されたものになる。

【0039】

この際、ディレイライン30の等価回路は、ディレイライン10の等価回路である図2と同様の回路構成となる。

【0040】

なお、積層体31の側面と上下面部分に形成される入力端子33、出力端子34及びグランド端子35, 36は、第2の実施例のディレイライン20の場合と同様に、印刷された導電ペーストを積層体31と同時焼成するか、積層体31を焼成した後に焼付けるかによって形成される。

【0041】

そして、積層体31の上面に搭載されたバリキャップダイオード32の印加電圧を変えることにより、バリキャップダイオード32の容量成分を連続的に変え、第1及び第2の実施例のディレイライン10(図1), 20(図5)と同様に、ディレイライン30の遅延時間を連続的に変えられるようになる。

【0042】

図8は、図7のディレイラインの遅延時間の変化を示す図である。図8において、横軸がダイオード32への印加電圧、縦軸が遅延時間を示す。また、実線は1.5GHzにおける変化、破線は1.7GHzにおける変化である。

【0043】

この図から、バリキャップダイオード32への印加電圧を変化させることにより、伝送線路38の遅延時間を変化させることが可能となることが理解できる。これは、バリキャップダイオード32への印加電圧を変化させることにより、バリキャップダイオード32の容量成分が変化し、その結果、通過特性における減衰極の発生する周波数が変化するためである。

【0044】

上述の第3の実施例のディレイラインによれば、伝送線路と並列にバリキャップダイオードが接続されるため、バリキャップダイオードへの印加電圧を変化さ

することにより、バリキャップダイオードの容量成分が変化する。したがって、通過特性における減衰極の発生する周波数が変化するため、ディレイラインの遅延時間を変化させることが可能となる。

【0045】

なお、第1乃至第3の実施例では、誘電体層が酸化バリウム、酸化アルミニウム、シリカを主成分とするセラミックの場合について説明したが、比誘電率(ϵ_r)が1以上であれば何れの材料でもよく、例えば酸化マグネシウム、シリカを主成分とするセラミックあるいはフッ素系樹脂等でも同様の効果が得られる。

【0046】

また、可変容量コンデンサあるいはダイオードのいずれか一方を伝送線路に並列接続する場合について説明したが、可変容量コンデンサ及びダイオードの両方を並列接続してもよい。

【0047】

第1の実施例では、可変容量コンデンサを伝送線路に並列接続する場合について説明したが、ダイオードを使用しても同様の効果が得られる。

【0048】

第2及び第3の実施例では、接地導体が積層体の内部に存在している場合について説明したが、誘電体層を挟んで伝送線路及び接地導体が存在していればよく、接地導体が積層体の表面に存在していてもよい。

【0049】

また、伝送線路と可変容量コンデンサあるいはダイオードとの接続手段として、ピアホール導体を用いた場合について説明したが、スルーホール導体を使用しても同様の効果が得られる。

【0050】

【発明の効果】

請求項1のディレイラインによれば、誘電体基板に、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けているため、可変容量コンデンサやダイオードの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的

に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0051】

請求項2のディレイラインによれば、積層体に、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けているため、可変容量コンデンサやダイオードの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0052】

また、伝送線路を複数の誘電体層が積層された積層体に内部に形成するため、伝送線路と可変容量コンデンサとの配線も積層体の内部に形成することができる。したがって、これらの配線による損失が抑えられるため、より特性の優れたディレイラインを得ることが可能になる。

【図面の簡単な説明】

【図1】

本発明のディレイラインに係る第1の実施例の（a）上面図及び（b）断面図である。

【図2】

図1のディレイラインの等価回路図である。

【図3】

図1のディレイラインの通過特性及び遅延時間の周波数依存性を示す図である。

【図4】

図1のディレイラインの遅延時間のコンデンサ容量依存性を示す図である。

【図5】

本発明のディレイラインに係る第2の実施例の分解斜視図である。

【図6】

図5のディレイラインの変形例の断面図である。

【図7】

本発明のディレイラインに係る第3の実施例の分解斜視図である。

【図8】

図7のディレイラインの遅延時間の印加電圧依存性を示す図である。

【図9】

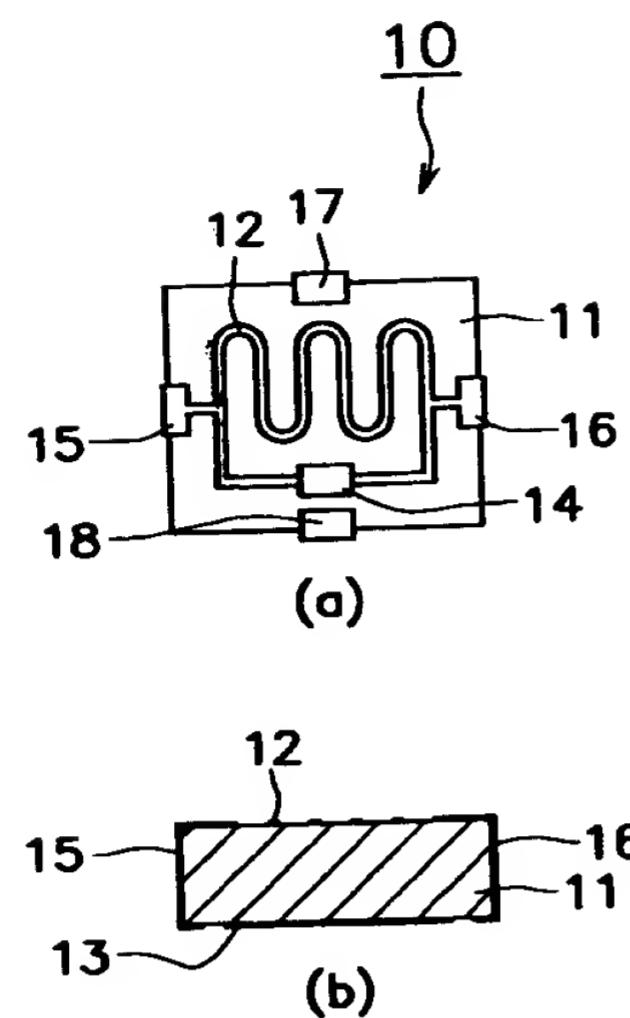
従来のディレイラインを示す正面図である。

【符号の説明】

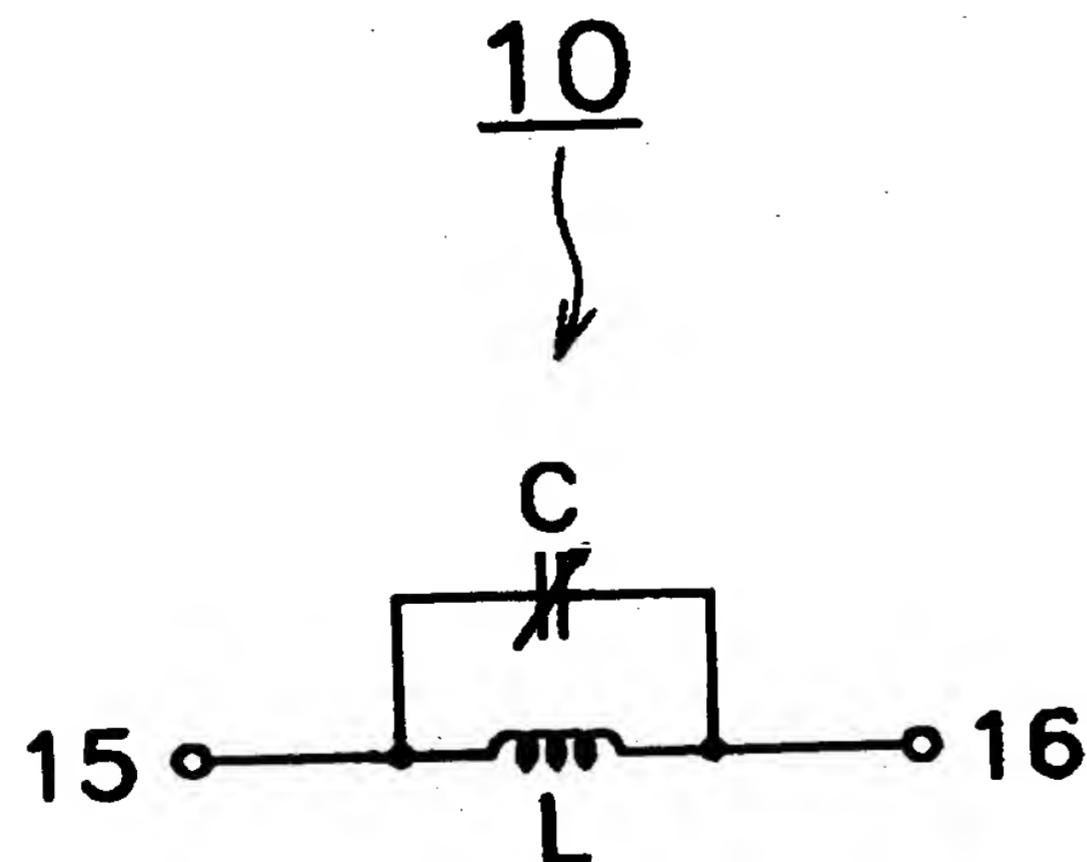
10, 20, 20a, 30	ディレイライン
11	誘電体基板
12, 27, 27a, 38	伝送線路
13, 261, 262, 261a, 262a, 371, 372	接地導体
14, 28, 28a	可変容量コンデンサ
21, 21a, 31	積層体
211~215, 311~314	誘電体層
32	ダイオード

【書類名】 図面

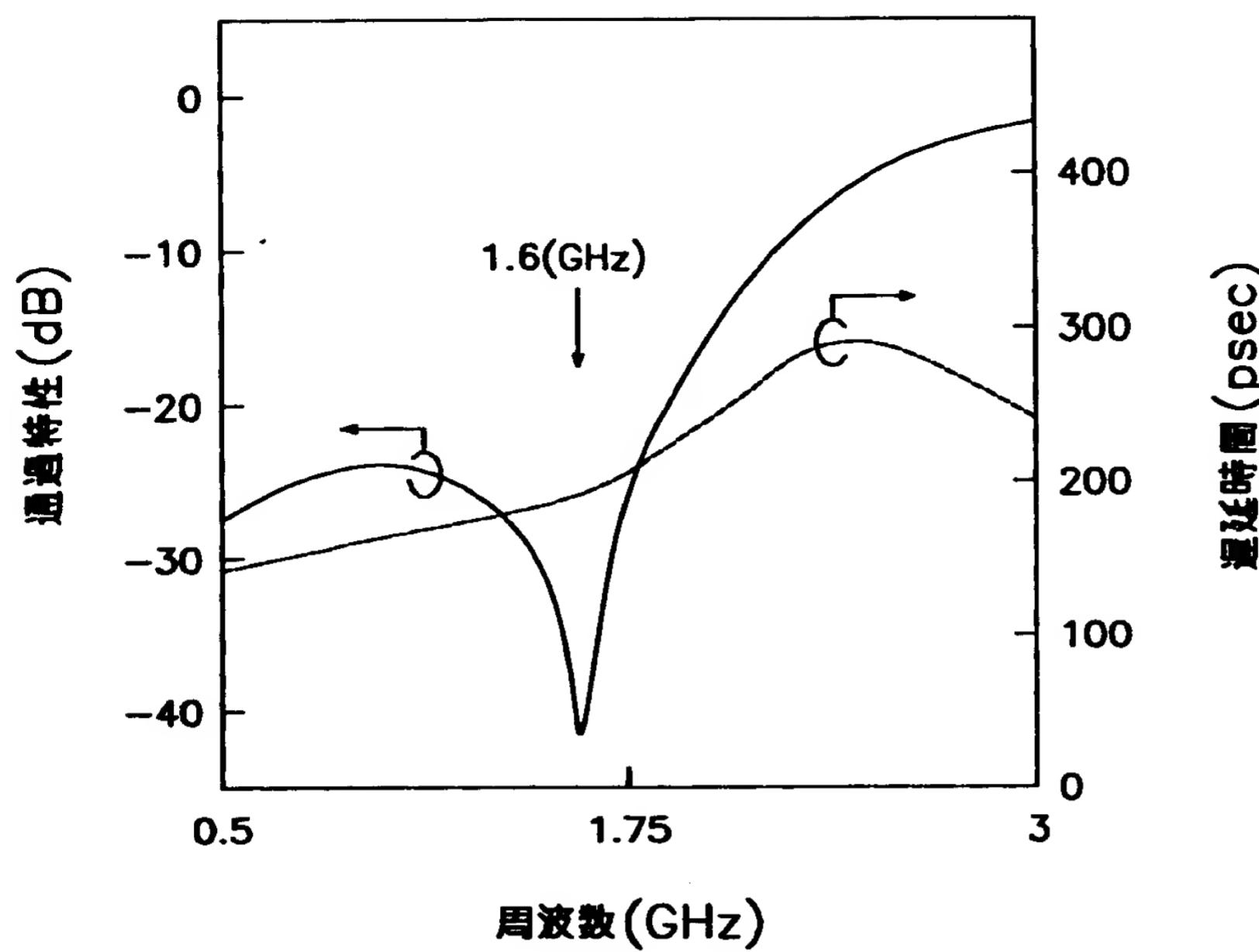
【図1】



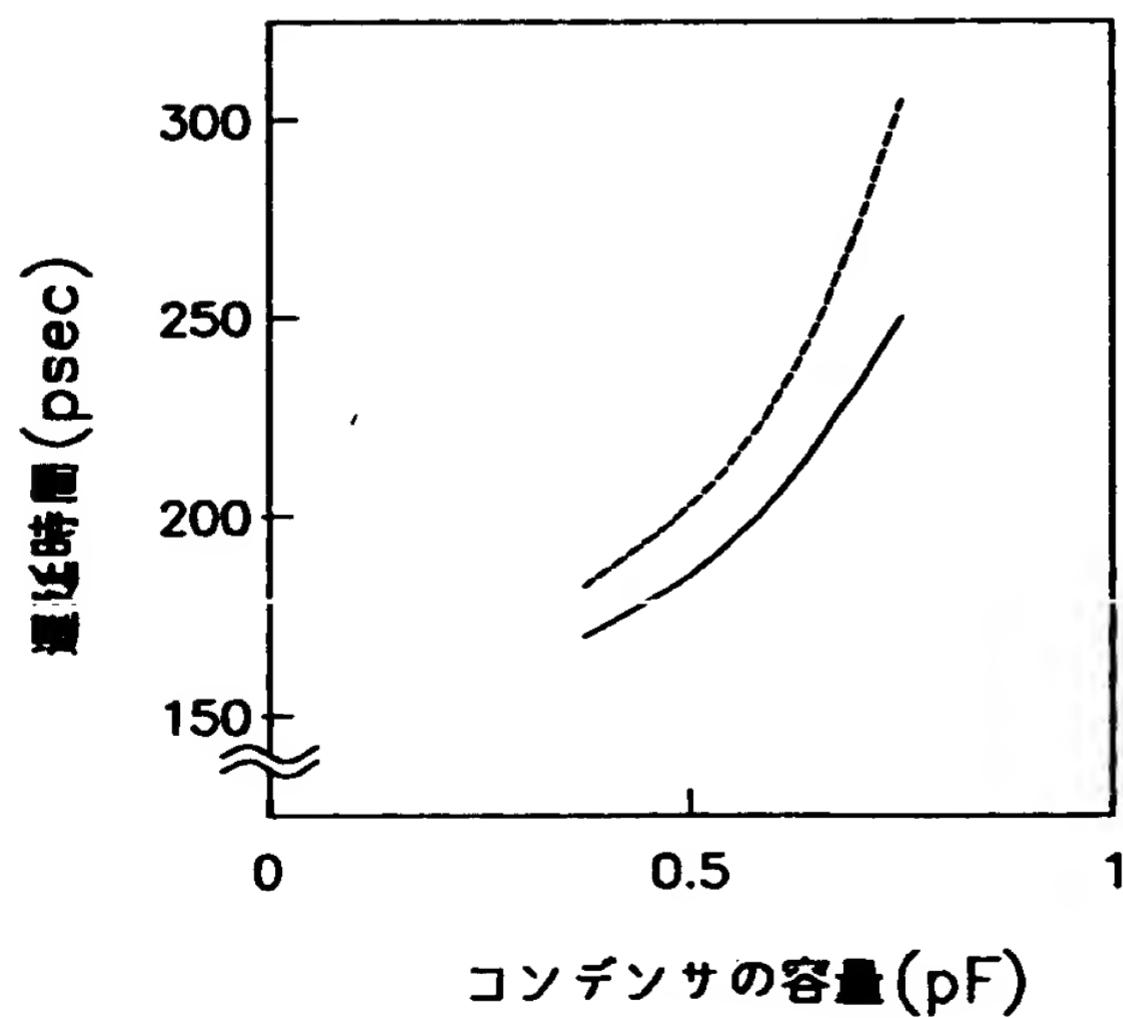
【図2】



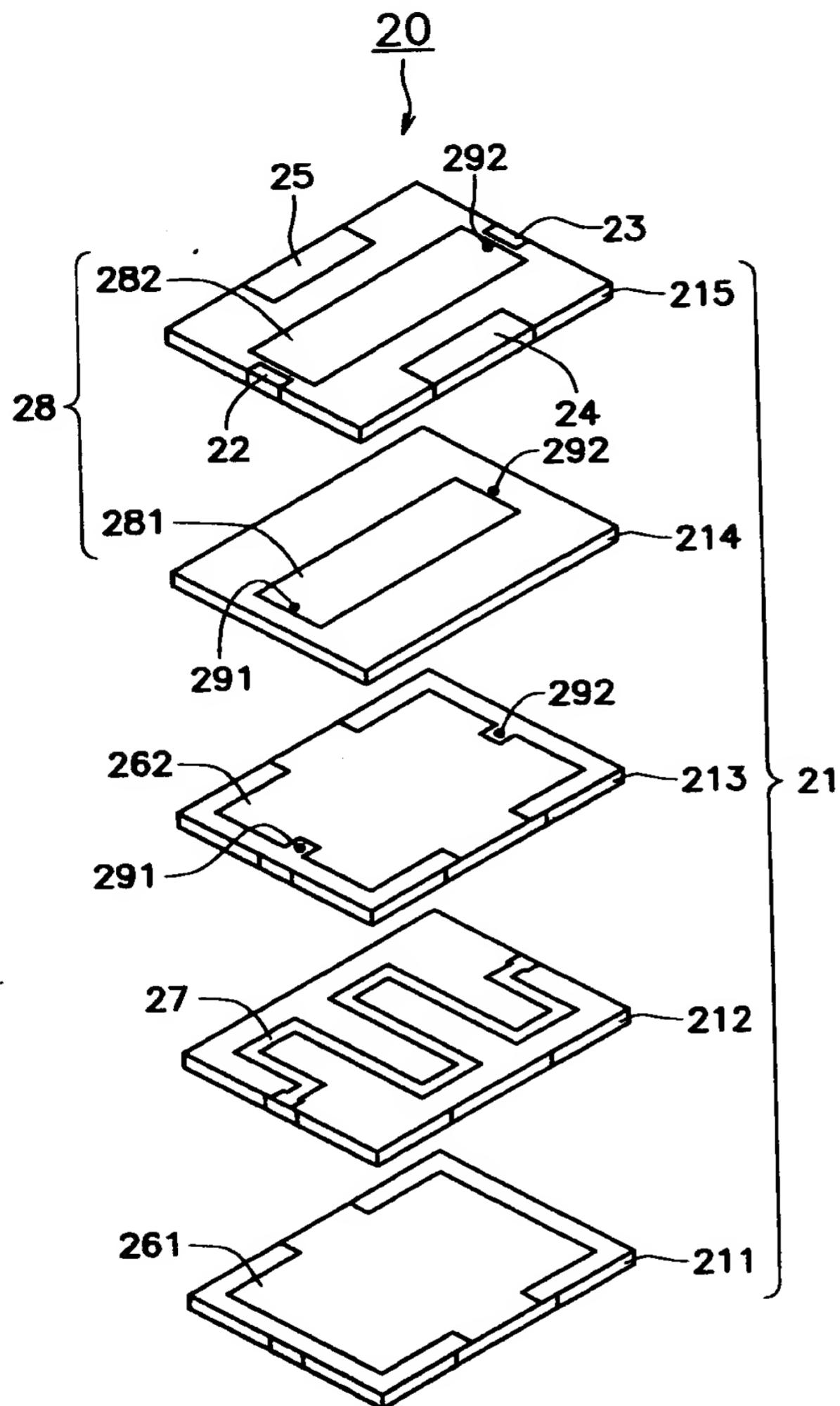
【図3】



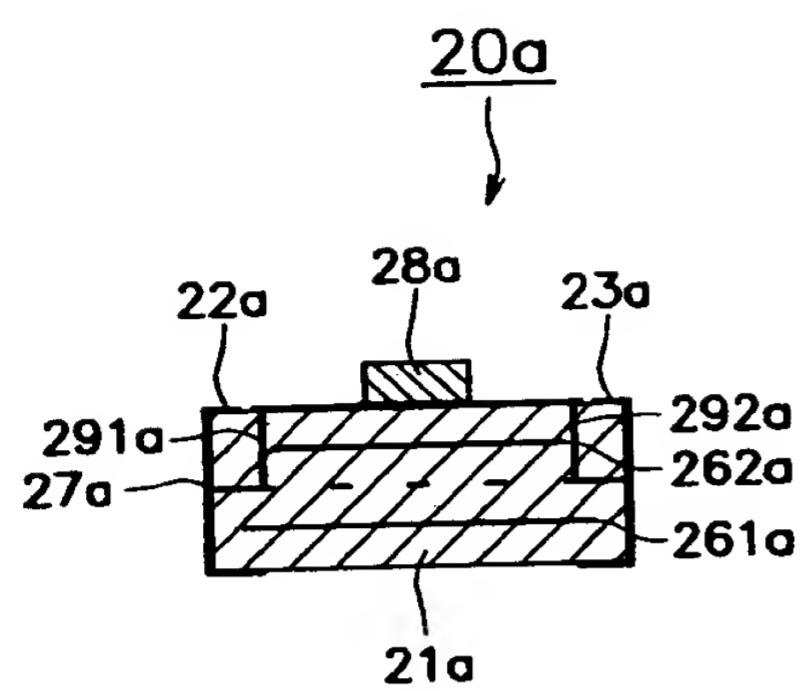
【図4】



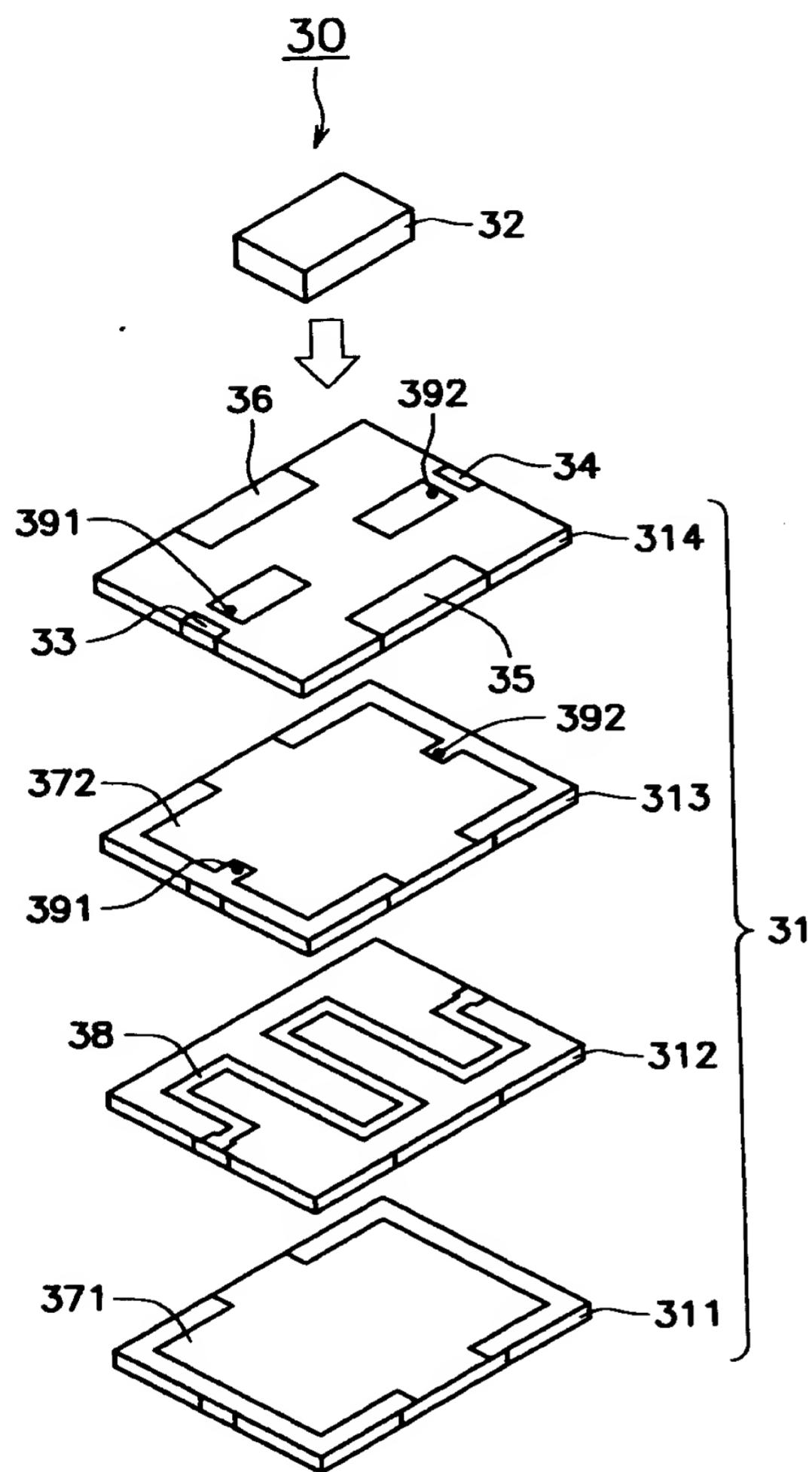
【図5】



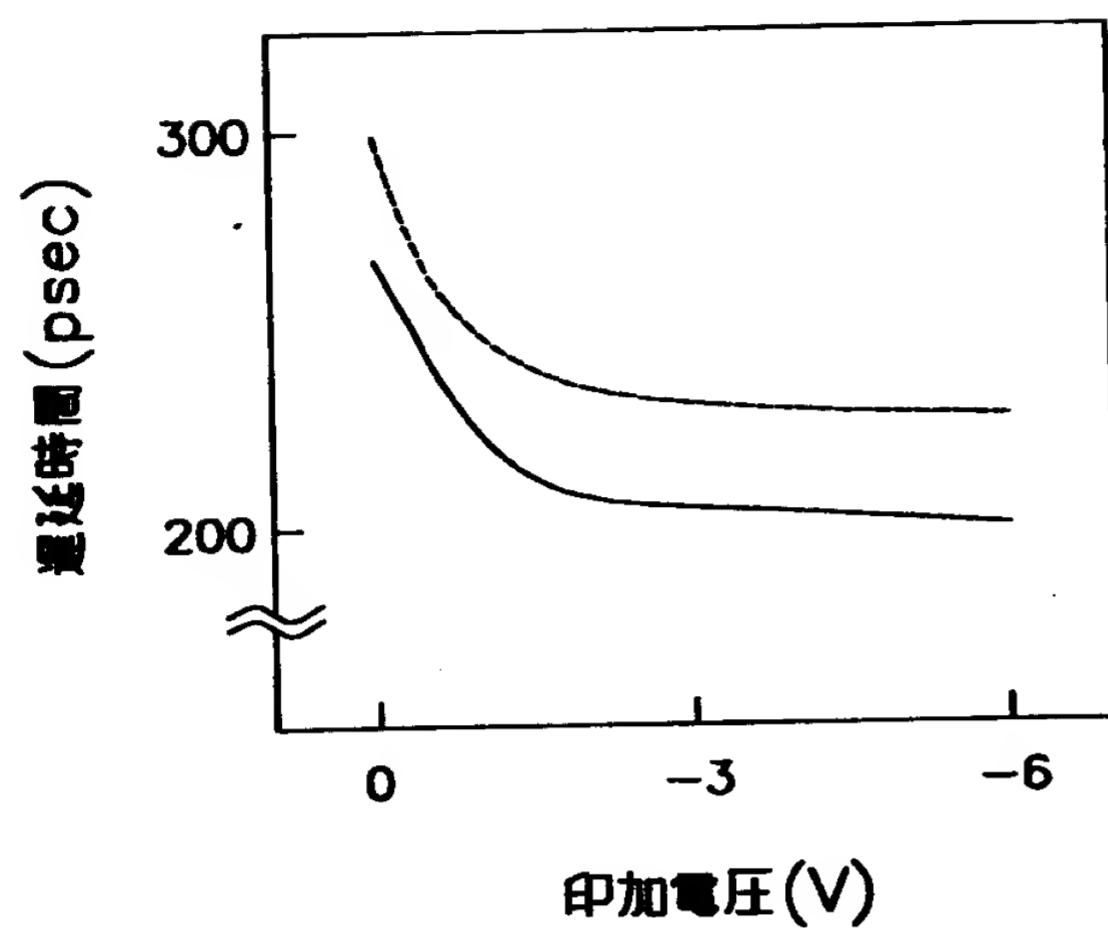
【図6】



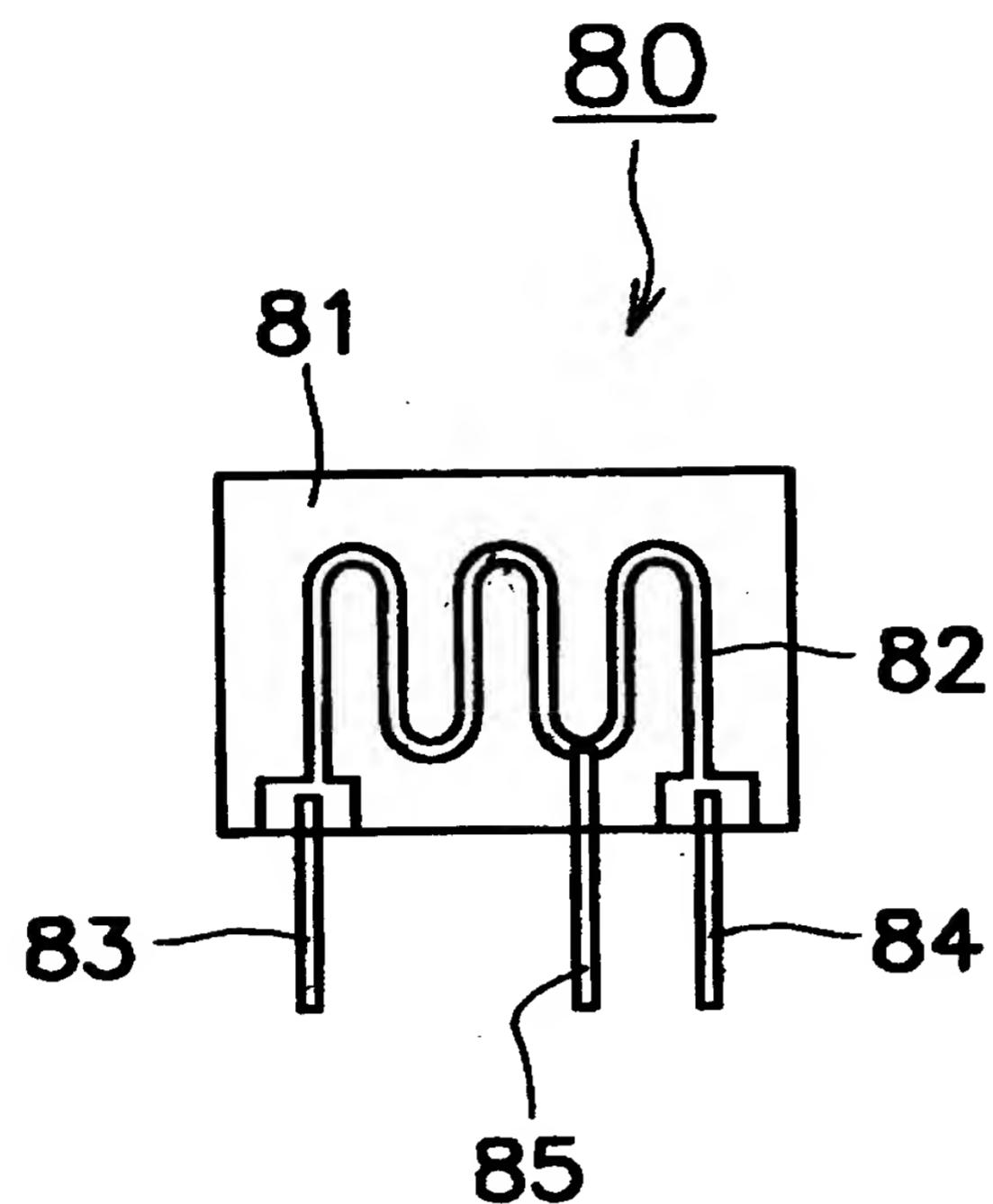
【図7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 実装後であっても遅延時間の調整ができ、かつ連続的に遅延時間を調整できるディレイラインを提供する。

【解決手段】 ディレイライン10は、誘電体基板11を備え、誘電体基板11の一方主面にはミアンダ状に折り曲げて蛇行させた信号線路12が、誘電体基板11の裏面にはほぼ全面に接地導体13がそれぞれ形成される。そして、伝送線路12と並列に可変容量コンデンサであるトリマコンデンサ14が接続される。また、伝送線路12の両端には入力端子15、出力端子16が、接地導体13にはグランド端子17、18がそれぞれ接続される。

【選択図】 図1

出願人履歴情報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所